

Attorney Docket No. 1450.1038

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:

Masato SUGA, et al.

Application No.:

Group Art Unit:

Filed: February 26, 2004

Examiner:

For: SEMICONDUCTOR DEVICE AND PATTERN GENERATING METHOD

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN  
APPLICATION IN ACCORDANCE  
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents  
PO Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2003-091559

Filed: March 28, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: February 26, 2004

By:   
J. Randall Beckers  
Registration No. 30,358

1201 New York Ave, N.W., Suite 700  
Washington, D.C. 20005  
Telephone: (202) 434-1500  
Facsimile: (202) 434-1501

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日      2003年 3月28日  
Date of Application:

出願番号      特願2003-091559  
Application Number:

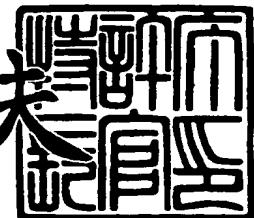
[ST. 10/C] :      [JP2003-091559]

出願人      富士通株式会社  
Applicant(s):

2003年12月16日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願  
【整理番号】 0241814  
【提出日】 平成15年 3月28日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/82  
【発明の名称】 半導体装置及びパターン発生方法  
【請求項の数】 10  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内  
【氏名】 須賀 真人  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内  
【氏名】 大塚 敏志  
【特許出願人】  
【識別番号】 000005223  
【氏名又は名称】 富士通株式会社  
【代理人】  
【識別番号】 100090273  
【弁理士】  
【氏名又は名称】 國分 孝悦  
【電話番号】 03-3590-8901  
【手数料の表示】  
【予納台帳番号】 035493  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908504

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びパターン発生方法

【特許請求の範囲】

【請求項1】 実パターンと、種類毎に形状及び大きさの少なくとも一方が互いに異なる複数の種類のダミーパターンとを任意の配線層に有することを特徴とする半導体装置。

【請求項2】 上記ダミーパターンは、種類毎に大きさが異なることを特徴とする請求項1に記載の半導体装置。

【請求項3】 上記ダミーパターンは、長辺の長さが互いに等しく、短辺の長さが種類毎に互いに異なる長方形の形状を有することを特徴とする請求項1に記載の半導体装置。

【請求項4】 実パターンと、第1のダミーパターンと、上記第1のダミーパターンとは形状及び大きさの少なくとも一方が異なる第2のダミーパターンとを任意の配線層に有する半導体装置。

【請求項5】 上記第2のダミーパターンは、上記第1のダミーパターンよりも小さいことを特徴とする請求項4に記載の半導体装置。

【請求項6】 半導体装置における任意の配線層の実パターンが配置されたレイアウトデータに基づいて、第1のダミーパターンが発生可能な領域に上記第1のダミーパターンを発生させ配置する第1のダミーパターン配置工程と、

上記実パターン及び第1～第(k-1) (kは2～Nの自然数、Nは任意)のダミーパターンが配置された上記配線層のレイアウトデータに基づいて、第1～第(k-1)のダミーパターンとは異なる第kのダミーパターンが発生可能な領域に上記第kのダミーパターンを発生させ配置する第kのダミーパターン配置工程を上記kの値を順次増加させ繰り返し行う工程とを有することを特徴とするパターン発生方法。

【請求項7】 上記第1のダミーパターンは最も大きく、上記第kのダミーパターンは上記kの値の増加に伴い順次小さくなることを特徴とする請求項6に記載のパターン発生方法。

【請求項8】 上記第1～第Nのダミーパターンは、長方形の形状を有する

ことを特徴とする請求項7に記載のパターン発生方法。

【請求項9】 上記ダミーパターン配置工程は、上記ダミーパターンを発生させる発生工程と、

上記発生工程にて発生させた上記ダミーパターンが配置基準を満たすか否か判定する判定工程と、

上記判定工程での判定結果に基づいて、上記配置基準を満たさない上記ダミーパターンを削除する削除工程とを有することを特徴とする請求項6～8の何れか1項に記載のパターン発生方法。

【請求項10】 半導体装置における任意の配線層の実パターンが配置されたレイアウトデータに基づいて、第1のダミーパターンが発生可能な領域に上記第1のダミーパターンを発生させ配置する第1のダミーパターン配置工程と、

上記実パターン及び第1のダミーパターンが配置された上記配線層のレイアウトデータに基づいて、上記第1のダミーパターンとは異なる第2のダミーパターンが発生可能な領域に上記第2のダミーパターンを発生させ配置する第2のダミーパターン配置工程とを有することを特徴とするパターン発生方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、半導体装置及びパターン発生方法に関し、特に、多層配線を有する半導体装置におけるダミーの配線パターンの配置に関する。

##### 【0002】

##### 【従来の技術】

近年、半導体装置においては、半導体装置の高密度化及び高集積化に伴い、配線（金属配線）を層間絶縁膜によって分割して複数積層する多層配線構造が用いられている。多層配線構造を適用することで、配線面積が実質的に縮小されチップの増大化が防止されるとともに、配線長が短くなり動作速度の遅延が抑制される。

##### 【0003】

多層配線を有する半導体装置を製造する際には、下層配線により生ずる凹凸を

軽減し層間絶縁膜の表面を平坦化するために、絶縁膜及び配線を研磨して段差を抑制するC M P (Chemical Mechanical Polishing) 工程が必須である。しかし、各層内にて配線に大きな疎密差がある（配線密度の分布が大きい）とStep Height (エロージョン) 等が起こり、その後の工程に支障をきたして配線の断線不良等を招き配線の歩留りに大きな影響を与える。

#### 【0004】

この問題を解決する1つの方法として、レイアウト設計後に配線（配線データ）が存在しない領域にはダミーの配線パターンを発生させる方法がある（例えば、特許文献1参照。）。このようにして、製造する半導体装置で定められた最低配線密度を発生させたダミーパターンで保証することにより、半導体装置における配線の疎密差を軽減して層間絶縁膜の平坦性の改善を図っている。

#### 【0005】

この方法では、ダミーパターンの発生効率と配線密度の均等化とを考慮して、同一層には同一の配置基準で形状及び大きさが同じダミーパターンのみを発生させる。また、ダミーパターンは、半導体装置における限界の微細幅では配線密度を大きく向上させることができないので、ある程度の幅を有する形状である。そのため、従来の方法では、配線と配線との間にダミーパターンが発生する間隔は大きくなる傾向がある。

#### 【0006】

図6は、従来のダミーパターン発生方法を示すフローチャートである。図6は、L S I の多層配線における複数の配線層のうち、任意の1層でのダミーパターン発生方法を示している。

#### 【0007】

通常のレイアウト設計が完了したレイアウトデータ（L S I の設計データ、例えばG D S データ等）を入力し（ステップS 7 1）、配線が存在するか否かにはかかわらず発生領域枠内全体にダミーパターンを発生させる（ステップS 7 2）。発生領域枠は、ダミーパターンを発生させる領域として予め定めたチップ内の領域の外周であり、当該領域はチップの外縁部を除く領域である。

#### 【0008】

次に、ステップS72において配置したダミーパターンが配置基準を満たすか否かを判定し（ステップS73）、配置基準に違反するダミーパターンをレイアウトデータから削除する（ステップS74）。配置基準には、配線、他のダミーパターン及びパッド領域との間隔、発生領域に対する境界条件等がある。このようにして配置基準を満たすダミーパターンが配置されたレイアウトデータを得て、そのレイアウトデータに基づいてマスクデータを作成する（ステップS75）。

### 【0009】

上述した従来のダミーパターン発生方法によるダミーパターンの配置例を図7に示す。図7において、WP71、WP72は配線（実パターン）であり、DP71はダミーパターンである。

### 【0010】

#### 【特許文献1】

特開平5-343540号公報

### 【0011】

#### 【発明が解決しようとする課題】

上述した従来の方法において、レイアウト設計後に配線が存在しない領域は、予めダミーパターンで保証される配線密度となるので問題は生じない。しかしながら、ダミーパターンが配置不可能な間隔で配置された配線と配線との間の領域は、ダミーパターンを配置することができない。したがって、その領域での配線密度は配線のみで保証されることになり、密度差が大きくなりやすい。半導体装置のルールの微細化が進むと、配線は縮小化されるがダミーパターンの幅は配線密度を保証するために縮小化することができないので、さらに密度差は大きくなりやすい。

### 【0012】

本発明は、このような事情に鑑みてなされたものであり、ダミーパターンを効率良く配置し、半導体装置における最小配線密度を改善することを目的とする。

### 【0013】

#### 【課題を解決するための手段】

本発明の半導体装置は、実パターンと、種類毎に形状及び大きさの少なくとも一方が互いに異なる複数の種類のダミーパターンとを任意の配線層に有する。

また、本発明のパターン発生方法は、半導体装置における任意の配線層の実パターンが配置されたレイアウトデータに基づいて、発生可能な領域に第1のダミーパターンを発生させ配置した後、実パターン及び第1～第(k-1) (kは2～Nの自然数、Nは任意)のダミーパターンが配置されたレイアウトデータに基づいて、発生可能な領域に第1～第(k-1)のダミーパターンとは異なる第kのダミーパターンを発生させ配置する工程を繰り返し行う。

#### 【0014】

本発明によれば、同一の配線層に異なる複数のダミーパターンを配置するようになり、あるダミーパターンが発生不可能な領域であっても他のダミーパターンを配置することでダミーパターンを効率良く配置し、最小配線密度を高くすることができるようになる。

#### 【0015】

##### 【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて説明する。以下に説明する本実施形態は、LSI等の半導体装置の多層配線における複数の配線層のうち、任意の1つの配線層を例に示したものである。

#### 【0016】

図1は、本発明の実施形態における2段階ダミーパターン発生方法を示すフローチャートである。

ステップS1にて、通常のレイアウト設計が完了したレイアウトデータ (LSIの設計データ、例えばGDSデータ等) が供給される。ステップS2にて、配線が存在するか否かは考慮しないで、発生領域枠内全体に所定の形状及び大きさを有する第1のダミーパターンを発生させる。ここで、発生領域枠は、ダミーパターンを発生させる領域として予め定めたチップ内の領域の外周であり、当該領域はチップの外縁部を除く領域である。

#### 【0017】

次に、ステップS3にて、ステップS2において配置した第1のダミーパター

ンが第1の配置基準を満たすか否かを判定する。上記判定の結果、第1の配置基準に違反する第1のダミーパターンが存在する場合には、ステップS4にて第1の配置基準に違反する第1のダミーパターンをレイアウトデータから削除する。

ここで、第1の配置基準には、配線との間隔（距離）、他のダミーパターンとの間隔、パッド領域との間隔、及び発生領域に対する境界条件等がある。

#### 【0018】

これにより、チップ内にて第1のダミーパターンの発生可能な領域（以下、「発生可能領域」と称す。）のみに第1のダミーパターンを配置したレイアウトデータが得られる。

#### 【0019】

次に、ステップS5にて、上述のようにして第1のダミーパターンが配置されたレイアウトデータを用い、配線及び第1のダミーパターンが存在するか否かは考慮しないで、発生領域枠内全体に第2のダミーパターンを発生させる。第2のダミーパターンは、形状及び大きさの少なくとも一方が第1のダミーパターンとは異なる。

#### 【0020】

ステップS6にて、ステップS5において配置した第2のダミーパターンが第2の配置基準を満たすか否かを判定する。上記判定の結果、第2の配置基準に違反する第2のダミーパターンが存在する場合には、ステップS7にて第2の配置基準に違反する第2のダミーパターンをレイアウトデータから削除する。ここで、第2の配置基準には、上述した第1の配置基準に加え、第1のダミーパターンとの関係が規定されており、例えば第1のダミーパターンとの間隔が第2の配置基準として含まれる。

#### 【0021】

これにより、第1のダミーパターンが配置された状態で、第2のダミーパターンの発生可能領域のみに第2のダミーパターンを配置したレイアウトデータが得られる。

#### 【0022】

ステップS8にて、上述のようにして得られた、第1及び第2の配置基準をそ

それぞれ満たす第1及び第2のダミーパターンが配置されたレイアウトデータに基づいてマスクデータを作成する。このマスクデータで作成したマスクを用いることにより、第1及び第2のダミーパターンが各配線層に適宜配置されたLSI等の半導体装置が製造される。

#### 【0023】

図2は、上述した2段階ダミーパターン発生方法による第1及び第2のダミーパターンの配置例を示す図である。

図2において、WP21は配線（実パターン）、DP21は第1のダミーパターン、DP22は第2のダミーパターンである。第1及び第2のダミーパターンDP21、DP22の形状はともに正方形であり、第2のダミーパターンDP22は、第1のダミーパターンDP21よりも大きさ（面積）が小さい。

#### 【0024】

第1のダミーパターンDP21が、最近傍の配線WP21との間隔L21、及び最近傍の他の第1のダミーパターンDP21との間隔L22等の第1の配置基準を満たすように配置される。さらに、第1のダミーパターンDP21よりも小さい第2のダミーパターンDP22が、最近傍の配線WP21との間隔L24、及び最近傍の第1のダミーパターンDP21との間隔L23等の第2の配置基準を満たすように配置される。

#### 【0025】

図2に示したように、第2のダミーパターンDP22を第1のダミーパターンDP21よりも小さくすることで、第1のダミーパターンDP21が発生不可能な領域であっても、さらに第2のダミーパターンDP22を配置することができる。例えば、配線と配線との間隔が狭く、第1のダミーパターンDP21が発生不可能な領域に第2のダミーパターンDP22を配置することができる。

#### 【0026】

図3は、上述した2段階ダミーパターン発生方法による第1及び第2のダミーパターンの他の配置例を示す図である。

通常、第1のダミーパターンの形状は、ダミーパターン自体の密度を高くするとともに発生効率を高くするために正方形であることが多い。第2のダミーパタ

ーンを、第1のダミーパターンと同じ正方形の形状で縮小したものにすると、ダミーパターン自体の密度が低くなってしまうか、もしくは発生効率が低下するといった問題がある。

#### 【0027】

図3に示す例は、上記事情に鑑みて第2のダミーパターンの形状を長方形にしたものである。

図3において、WP31、WP32は配線（実パターン）、DP31は第1のダミーパターン、DP32は第2のダミーパターンである。第1のダミーパターンDP31の形状は正方形であり、第2のダミーパターンDP32の形状は、第1のダミーパターンDP31の対向する1組の辺の長さを短くした長方形である。

#### 【0028】

また、第2のダミーパターンDP32は、第1のダミーパターンDP31よりも大きさ（面積）が小さい。なお、図3においては、第2のダミーパターンDP32の長辺の長さと、第1のダミーパターンDP31の一辺の長さとは等しくしているが、第1のダミーパターンDP31よりも小さければ第2のダミーパターンDP32の長辺の長さは任意である。

#### 【0029】

第1のダミーパターンDP31が、最近傍の配線WP31との間隔L31、及び最近傍の他の第1のダミーパターンDP31との間隔L32等の第1の配置基準を満たすように配置される。さらに、第1のダミーパターンDP31よりも小さい第2のダミーパターンDP32が、最近傍の配線WP31との間隔L34、及び最近傍の第1のダミーパターンDP31との間隔L33等の第2の配置基準を満たすように配置される。

#### 【0030】

ここで、第2のダミーパターンDP32は、90度回転させて配置可能であり、長辺方向をX方向、Y方向の両方に持つことが可能である。

図8は、第2のダミーパターンDP32を0度回転、90度回転させて配置する際のダミーパターン発生方法を示すフローチャートである。

### 【0031】

図8において、ステップS1～S7及びステップS8は、上記図1に示したフローチャートの対応するステップと同様の動作を行う。ただし、図8においては、ステップS5において、0度だけ回転させた第2のダミーパターンを発生させる。

### 【0032】

ステップS6又はステップS7の動作に続く、ステップS5'にて、0度回転させた第2のダミーパターンが配置されたレイアウトデータを用い、配線、第1のダミーパターン及び0度回転させた第2のダミーパターンが存在するか否かは考慮しないで、発生領域枠内全体に90度だけ回転させた第2のダミーパターンを発生させる。

### 【0033】

そして、ステップS6'、S7'にて、ステップS6、S7と同様に、ステップS5'において配置した90度回転させた第2のダミーパターンが第2の配置基準を満たすか否かを判定し、判定結果に基づいて第2の配置基準に違反する90度回転させた第2のダミーパターンをレイアウトデータから削除し、ステップS8に進む。

### 【0034】

なお、図8においては、0度回転させた第2のダミーパターンを配置した後、90度回転させた第2のダミーパターンを配置しているが、90度回転させた第2のダミーパターンを配置した後、0度回転させた第2のダミーパターンを配置するようにしても良い。

### 【0035】

また、例えば、角度を変化させて任意の角度だけ回転させた第2のダミーパターンを配置する場合には、図8のステップS5'にて所定の角度回転させた第2のダミーパターンを発生させるようにして、ステップS5'～S7'を発生させようとする角度分だけ繰り返し（ループさせて）行えば良い。例えば、0度回転を除いて、回転させる角度の値がx個ある場合には、角度を順次変えてステップS5'～S7'をx回繰り返して行えば良い。

### 【0036】

図3に示したように、第2のダミーパターンDP32を第1のダミーパターンDP31よりも小さく、かつ長方形にすることで、第1のダミーパターンDP21が発生不可能な領域であっても第2のダミーパターンDP22を配置することができる。例えば、長方形ダミーパターンの短辺の長さを半導体装置での最小基準程度まで微細化すれば、配線と第1のダミーパターンとの間の領域や、配線と配線との間の領域に配置される確率が高くなる、すなわち発生効率が改善される。

### 【0037】

以下に、図4（A）～図4（C）に基づいて本実施形態のダミーパターン発生方法及び従来のダミーパターン発生方法によるダミーパターンの配置結果を比較して説明する。

### 【0038】

図4（A）は、本実施形態のダミーパターン発生方法により発生させるダミーパターンの仕様例を示す図である。第1のダミーパターンは、一辺が0.5μmの正方形であり、第1の配線基準として他の第1のダミーパターンとの間隔（0.5μm）及び配線との間隔（0.5μm）が規定されている。

### 【0039】

また、第2のダミーパターンは、短辺が0.2μm、長辺が0.5μmの長方形であり、第2の配線基準として他の第2のダミーパターンとの間隔（0.3μm）、配線との間隔（0.3μm）及び第1のダミーパターンとの間隔（0.3μm）が規定されている。

なお、発生領域に対する配線基準の境界条件は示していないが、発生領域の境界を跨ぐダミーパターンは、基準違反とする。

### 【0040】

図4（B）、図4（C）は、図4（A）に仕様例を示したダミーパターンを本実施形態のダミーパターン発生方法、従来のダミーパターン発生方法により発生させ配置した例を示す図である。0.5μmの配線WP41、WP42が領域の両端に配置された2.5μm×2.0μmの発生領域を一例として示している。

#### 【0041】

図4 (B) に示すように本実施形態のダミーパターン発生方法によれば、第1のダミーパターンDP41及び第2のダミーパターンDP42が配置され、配線密度は49%になる。一方、図4 (C) に示すように従来のダミーパターン発生方法では、第1のダミーパターンDP41のみ発生し配置され、配線密度は45%である。なお、これは一例であり、配線と配線との間隔が縮まった場合等には、さらに有効である。

#### 【0042】

以上、詳しく説明したように本実施形態によれば、第1の配置基準を満たす領域である第1のダミーパターンの発生可能領域に第1のダミーパターンを配置した後、第1のダミーパターンは発生不可能であるが、第2の配置基準を満たす領域である第2のダミーパターンの発生可能領域に第2のダミーパターンを配置する。これにより、配線層内にダミーパターンを効率良く配置して最小配線密度を改善し、配線の疎密差を軽減（配線密度の分布を小さく）することができる。したがって、多層配線における層間絶縁膜の平坦性を改善し、LSI等の半導体装置の信頼性及び製造歩留まりを向上させることができる。

#### 【0043】

なお、上記実施形態においては、2段階のダミーパターン発生方法を一例として説明したが、本発明はこれに限らず、図5に示すように任意の複数段階でのダミーパターン発生が可能である。

図5は、N段階（Nは2以上の自然数）に拡張した多段階ダミーパターン発生方法を示すフローチャートである。

#### 【0044】

基本的な処理は上記図1に示した2段階ダミーパターン発生方法と同様であり、第（k-1）（k=2～N）のダミーパターンが配置されたレイアウトデータを用いて発生領域枠内全体に第kのダミーパターンを発生させ（ステップS52、S56、S58）、第kの配置基準に違反する第kのダミーパターンをレイアウトデータから削除する（ステップS54、S57、S59）処理を繰り返し行う。第1～第Nのダミーパターンは、形状及び大きさの少なくとも一方が互いに

異なり、例えば、ダミーパターンの大きさを順次小さくする。

#### 【0045】

このようにしても、上述した2段階ダミーパターン発生方法と同様に、配線層内にダミーパターンを効率良く配置して配線の疎密差を軽減することができる。これにより、多層配線における層間絶縁膜の平坦性を改善し半導体装置の信頼性及び製造歩留まりを向上させることができる。

#### 【0046】

また、上記実施形態では、処理時間を短縮するために発生領域枠内全体にダミーパターンを発生させ、配置基準に違反するダミーパターンを削除するようにしているが、配置基準に係る判定をダミーパターン発生前に行い、配置基準を満たす位置のみにダミーパターンを発生させるようにしても良い。

また、上記実施形態では、ダミーパターンはX方向、Y方向の何れかに合わせて配置しているが、任意の角度だけ回転させて配置するようにしても良い。また、ダミーパターンの大きさを順次小さくするようにしているが、形状のみを異なせても、すなわち同じ面積で幅を狭くするようにしても同様な効果が得られる。

#### 【0047】

また、上記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されなければならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

本発明の諸態様を付記として以下に示す。

#### 【0048】

(付記1) 実パターンと、種類毎に形状及び大きさの少なくとも一方が互いに異なる複数の種類のダミーパターンとを任意の配線層に有することを特徴とする半導体装置。

(付記2) 上記ダミーパターンは、種類毎に大きさが異なることを特徴とする付記1に記載の半導体装置。

(付記3) 上記ダミーパターンは、長辺の長さが互いに等しく、短辺の長さが種

類毎に互いに異なる長方形の形状を有することを特徴とする付記1に記載の半導体装置。

(付記4) 実パターンと、第1のダミーパターンと、上記第1のダミーパターンとは形状及び大きさの少なくとも一方が異なる第2のダミーパターンとを任意の配線層に有する半導体装置。

(付記5) 上記第2のダミーパターンは、上記第1のダミーパターンよりも小さいことを特徴とする付記4に記載の半導体装置。

(付記6) 上記第2のダミーパターンは長方形の形状を有することを特徴とする付記5に記載の半導体装置。

(付記7) 上記第1のダミーパターンは正方形の形状を有し、上記第2のダミーパターンは、長辺の長さが上記第1のダミーパターンの一辺の長さと等しく、短辺の長さは当該一辺の長さよりも短い長方形の形状を有することを特徴とする付記5に記載の半導体装置。

(付記8) 半導体装置における任意の配線層の実パターンが配置されたレイアウトデータに基づいて、第1のダミーパターンが発生可能な領域に上記第1のダミーパターンを発生させ配置する第1のダミーパターン配置工程と、

上記実パターン及び第1～第(k-1) (kは2～Nの自然数、Nは任意)のダミーパターンが配置された上記配線層のレイアウトデータに基づいて、第1～第(k-1)のダミーパターンとは異なる第kのダミーパターンが発生可能な領域に上記第kのダミーパターンを発生させ配置する第kのダミーパターン配置工程を上記kの値を順次増加させ繰り返し行う工程とを有することを特徴とするパターン発生方法。

(付記9) 上記第1のダミーパターンは最も大きく、上記第kのダミーパターンは上記kの値の増加に伴い順次小さくなることを特徴とする付記8に記載のパターン発生方法。

(付記10) 上記第1～第Nのダミーパターンは、長方形の形状を有することを特徴とする付記9に記載のパターン発生方法。

(付記11) 上記第1～第Nのダミーパターンは、長辺の長さが互いに等しいことを特徴とする付記10に記載のパターン発生方法。

(付記12) 上記第kのダミーパターン配置工程にて第kのダミーパターンを配置する際、それぞれ任意角度だけ回転させて配置可能であることを特徴とする付記8に記載のパターン発生方法。

(付記13) 上記ダミーパターン配置工程は、上記ダミーパターンを発生させる発生工程と、

上記発生工程にて発生させた上記ダミーパターンが配置基準を満たすか否か判定する判定工程と、

上記判定工程での判定結果に基づいて、上記配置基準を満たさない上記ダミーパターンを削除する削除工程とを有することを特徴とする付記8に記載のパターン発生方法。

(付記14) 半導体装置における任意の配線層の実パターンが配置されたレイアウトデータに基づいて、第1のダミーパターンが発生可能な領域に上記第1のダミーパターンを発生させ配置する第1のダミーパターン配置工程と、

上記実パターン及び第1のダミーパターンが配置された上記配線層のレイアウトデータに基づいて、上記第1のダミーパターンとは異なる第2のダミーパターンが発生可能な領域に上記第2のダミーパターンを発生させ配置する第2のダミーパターン配置工程とを有することを特徴とするパターン発生方法。

(付記15) 上記kの値が2であり、

上記第2のダミーパターン配置工程にて、第2のダミーパターンを0度だけ回転させて配置し、さらに上記実パターン、第1のダミーパターン及び0度回転させた第2のダミーパターンが配置された上記配線層のレイアウトデータに基づいて、第2のダミーパターンを90度だけ回転させて、当該ダミーパターンが発生可能な領域に発生させ配置することを特徴とする付記12に記載のパターン発生方法。

## 【0049】

### 【発明の効果】

以上、説明したように本発明によれば、半導体装置の配線層内にて、あるダミーパターンが発生不可能な領域であっても異なる他のダミーパターンを配置することで、ダミーパターンを効率良く配置し、最小配線密度を高くすることができ

る。したがって、配線層内での配線の疎密差を軽減することができ、多層配線における層間絶縁膜の平坦性を改善し、半導体装置の信頼性及び製造歩留まり向上させることができる。

【図面の簡単な説明】

【図 1】

本実施形態における 2 段階ダミーパターン発生方法を示すフローチャートである。

【図 2】

本実施形態におけるダミーパターンの配置例を示す図である。

【図 3】

本実施形態におけるダミーパターンの他の配置例を示す図である。

【図 4】

本実施形態におけるダミーパターン配置結果を説明するための図である。

【図 5】

本実施形態における多段階ダミーパターン発生方法を示すフローチャートである。

【図 6】

従来のダミーパターン発生方法を示すフローチャートである。

【図 7】

従来のダミーパターンの配置例を示す図である。

【図 8】

0 度回転、90 度回転ダミーパターン発生方法を示すフローチャートである。

【符号の説明】

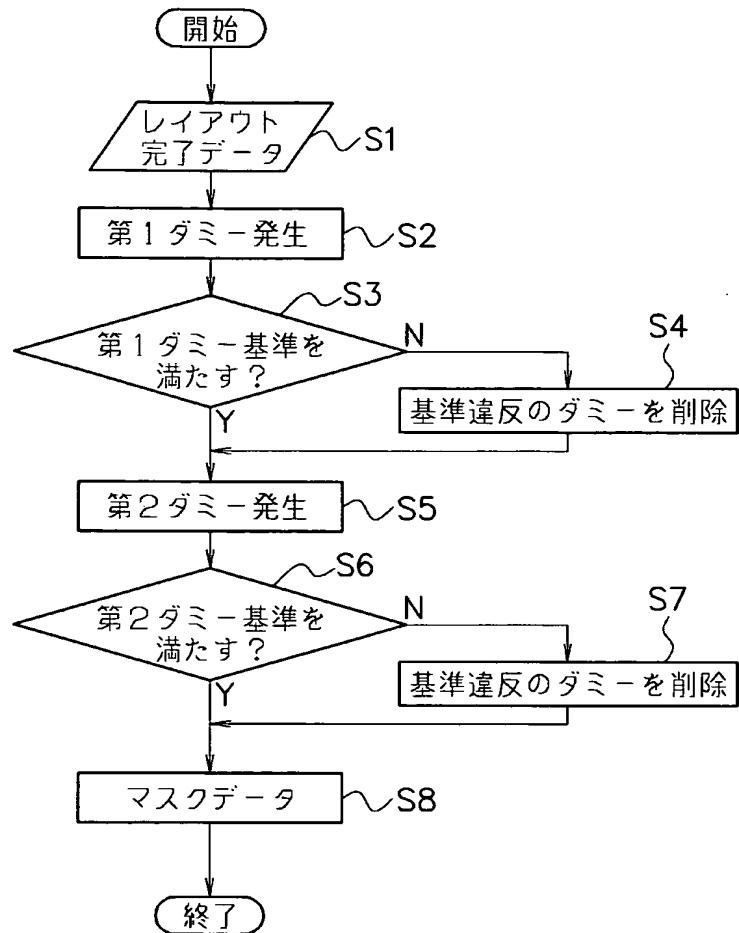
WP 2 1、WP 3 1、WP 3 2 配線

DP 2 1、DP 2 2、DP 3 1、DP 3 2 ダミー配線パターン

【書類名】

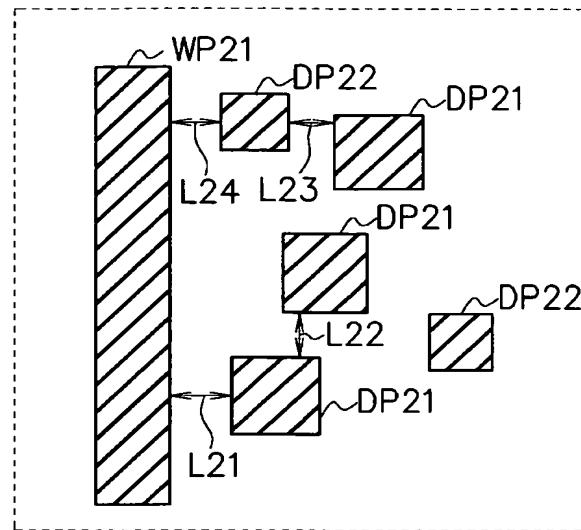
図面

【図 1】



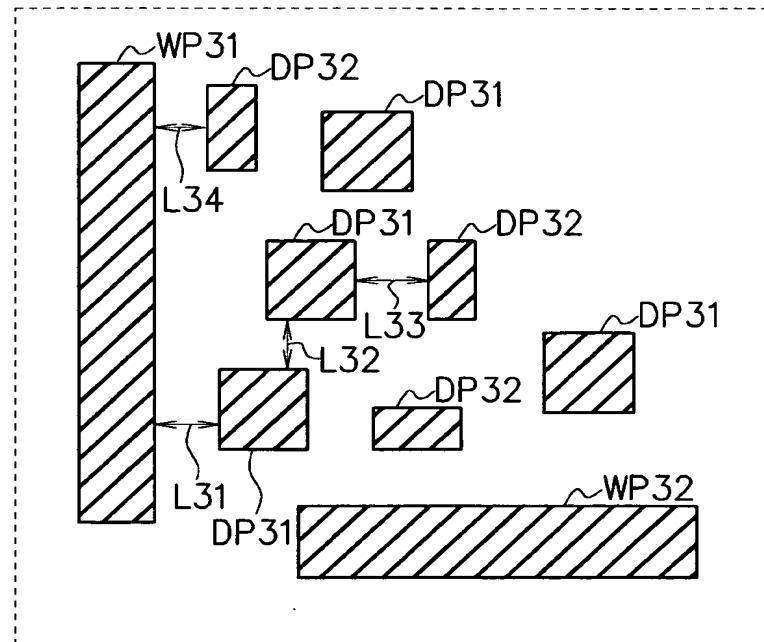
2段階ダミーパターン発生方法のフロー・チャート

【図2】



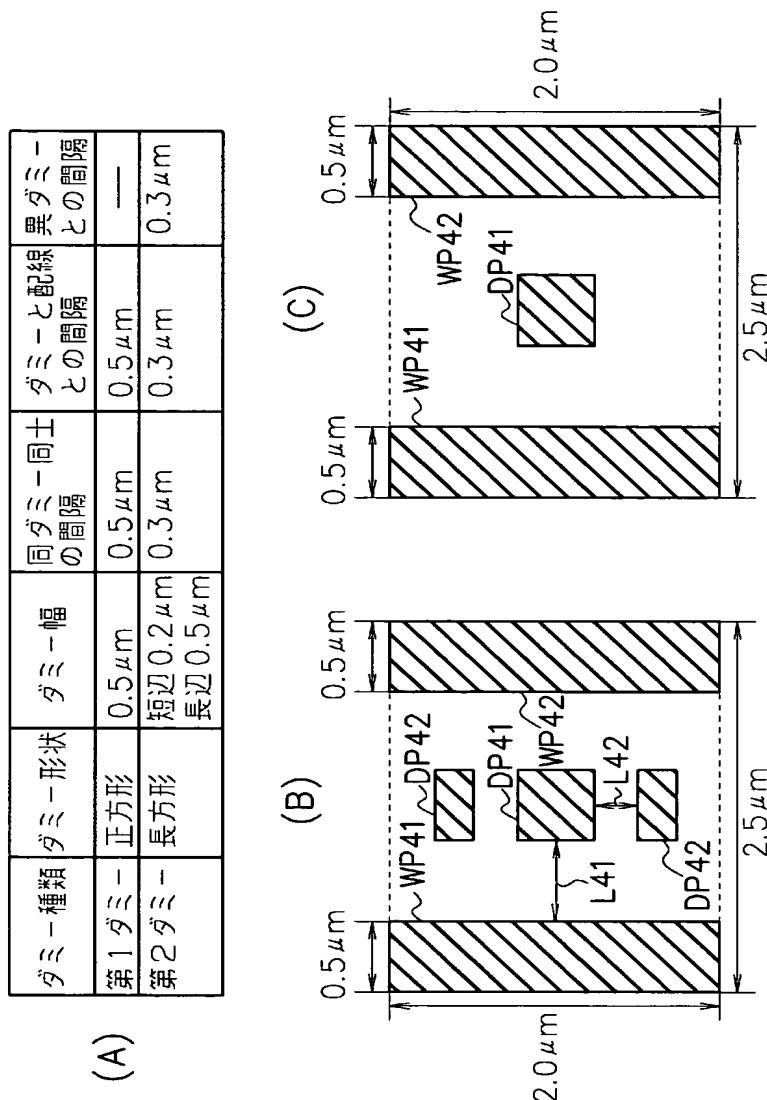
本実施形態におけるダミーパターンの配置例

【図3】



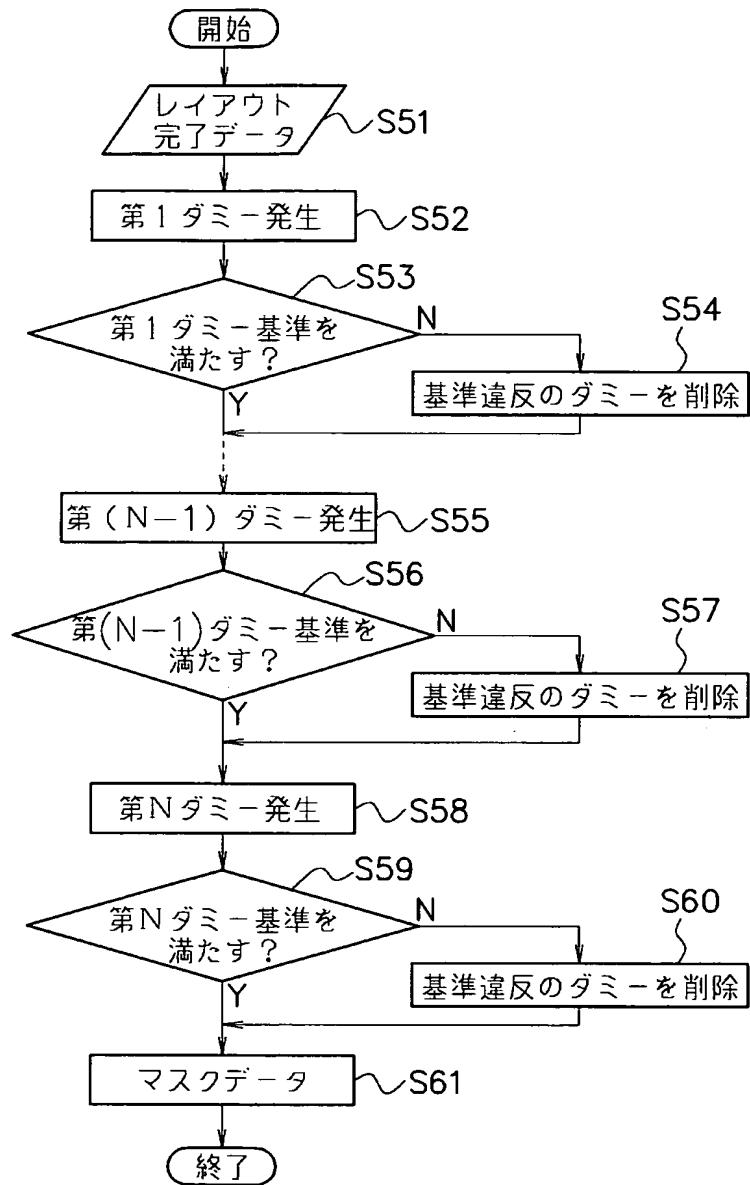
本実施形態におけるダミーパターンの他の配置例

【図4】



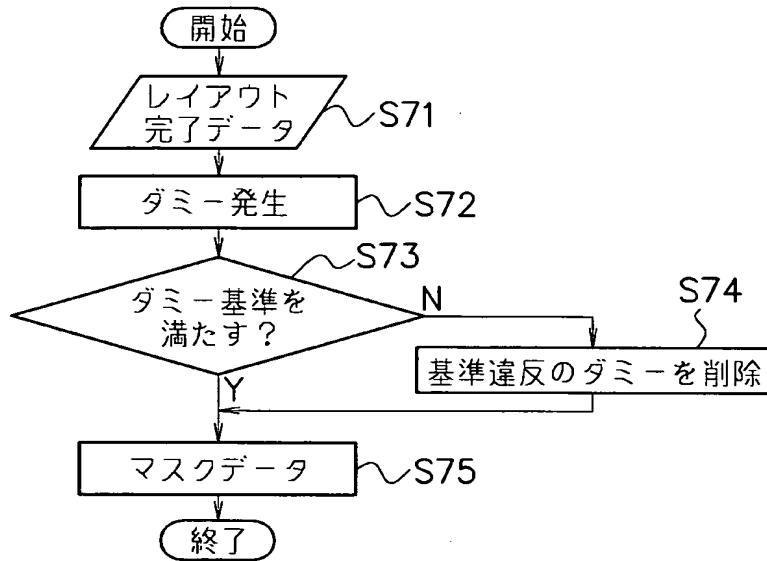
本実施形態におけるダミーパターン配置結果を説明するための図

【図5】



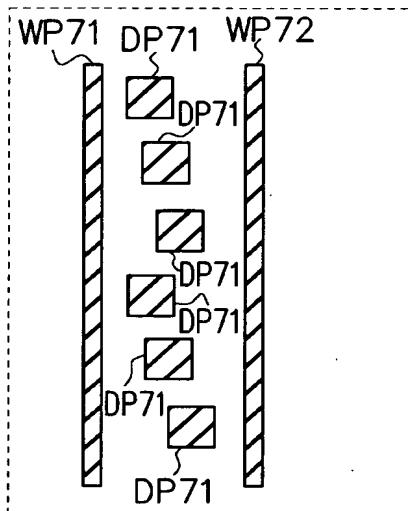
多段階ダミー発生方法のフロー・チャート

【図6】



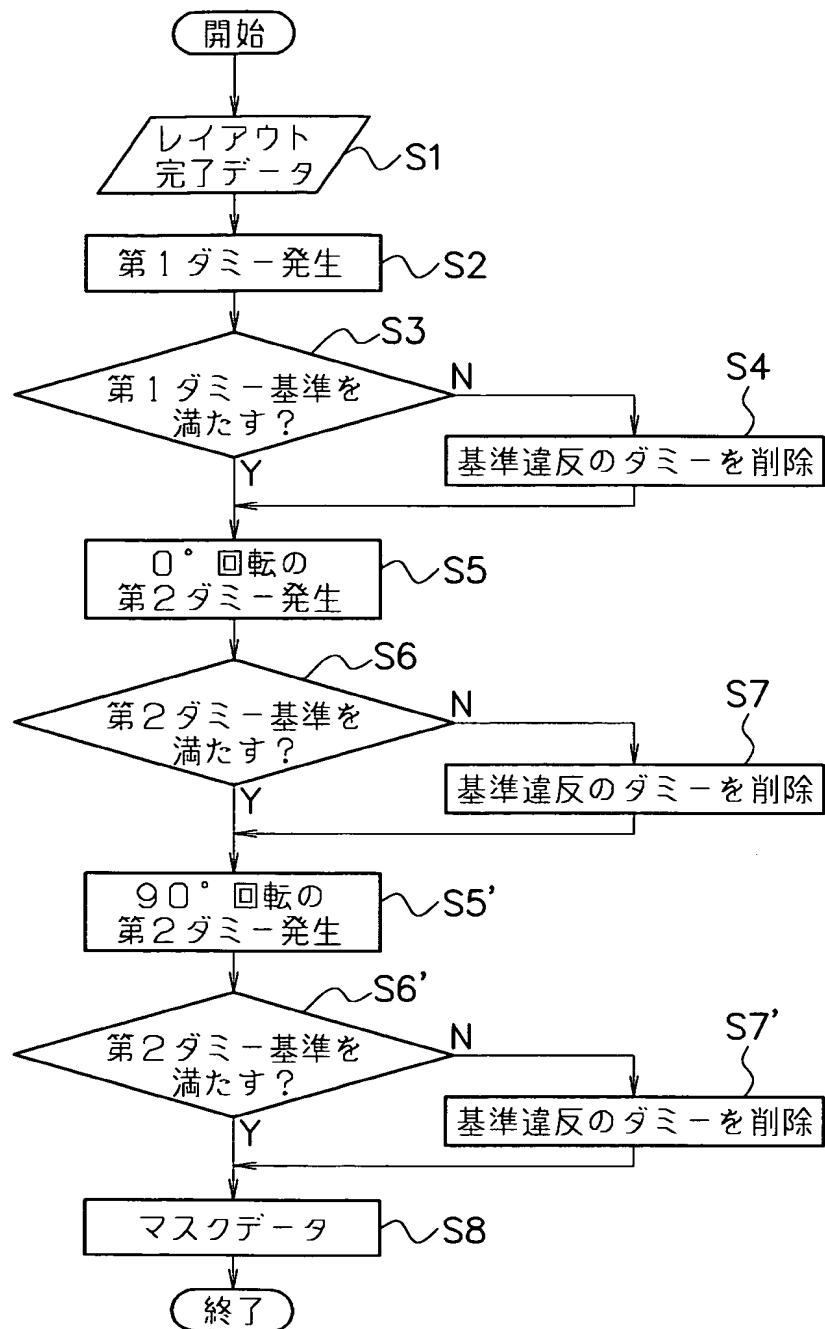
従来のダミーパターン発生方法のフロー・チャート

【図7】



従来のダミーパターンの配置例

【図8】



0°回転、90°回転ダミーパターン  
発生方法のフローチャート

【書類名】 要約書

【要約】

【課題】 ダミーパターンを効率良く配置し、半導体装置における最小配線密度を改善する。

【解決手段】 第1のダミーパターンが発生可能な領域に第1のダミーパターンを配置した後、第1のダミーパターンは発生不可能であるが、第2のダミーパターンが発生可能な領域に第2のダミーパターンを配置するようにして、配線層内にダミーパターンを効率良く配置して最小配線密度を改善し、配線の疎密差を軽減することができるようとする。

【選択図】 図1

特願 2003-091559

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日  
[変更理由] 住所変更  
住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社